

斩波稳定型开关电容积分器的设计

李杨先¹, 顾晓峰¹, 浦寿杰¹, 徐 振², 于宗光^{1,3}

(1 江南大学 信息工程学院, 江苏 无锡 214122; 2 无锡友芯集成电路设计有限公司, 江苏 无锡 214122;

3 中国电子科技集团总公司第 58 研究所, 江苏 无锡 214035)

摘 要: 利用斩波稳定技术, 设计了一种用在 $\Sigma-\Delta$ 调制器中的低噪声全差分开关电容积分器, 电路中的运算放大器采用套筒式共源共栅结构. 详细分析了开关电容积分器中存在的非理想特性, 同时讨论了斩波稳定的原理, 在此基础上对积分器中的运算放大器、开关和电容进行了具体设计. 经 Cadence 环境下的 Spectre 仿真验证, 在 3.3 V 电源电压下, 运算放大器的单位增益带宽为 110 MHz, 开环直流电压增益达 76 dB, 积分器在 14 kHz 处的等效输入噪声电压为 $0.2 \mu\text{V}\cdot\text{Hz}^{-1/2}$.

关键词: $\Sigma-\Delta$ 调制器; 斩波稳定; 开关电容电路; 套筒式共源共栅

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2010)05-0153-04

Design of Chopper - Stabilized Switched - Capacitor Integrator

LI Yang-xian¹, GU Xiao-feng¹, PU Shou-jie¹, XU Zhen², YU Zong-guang^{1,3}

(1 School of Information Technology, Jiangnan University, Wuxi 214122, China;

2 Wuxi SoCChip IC Design Corporation, Wuxi 214122, China; 3 CETC58, Wuxi 214035, China)

Abstract: A low noise fully differential switched - capacitor integrator used in the $\Sigma-\Delta$ modulator was designed by using the chopper stabilization technology. The telescopic cascode structure was adopted in the operational amplifier. Various nonidealities in the switched - capacitor integrator were analyzed in detail. The principle of chopper stabilization was also discussed. Finally, the detailed designs of the operational amplifier, switches and capacitors in the integrator were completed. The Spectre simulation under the Cadence environment indicates that, at a power supply of 3.3 V, the operational amplifier has a unity - gain bandwidth of 110 MHz, an open - loop gain of 76 dB, and the switched - capacitor integrator has an equivalent input noise voltage of $0.2 \mu\text{V}\cdot\text{Hz}^{-1/2}$ at 14kHz.

Key words: $\Sigma-\Delta$ modulator; chopper - stabilization; switched - capacitor circuit; telescopic cascode

1 引言

传统的 Nyquist A/D 转换器主要由模拟电路构成, 电路元器件匹配误差对 A/D 转换器的精度有很大影响. 而主要采用过采样和噪声整形两项关键技术的 $\Sigma-\Delta$ A/D 转换器则不同, 它把大部分量化噪声驱赶到信号频带之外, 然后用数字滤波电路滤除带外噪声, 从而降低对元器件匹配的要求, 使抗混叠滤波器的设计变得更容易, 显著改善量化信噪比, 分

辨率可达 13~24 位^[1-2], 但它处理的信号频率往往不够高. 因此, $\Sigma-\Delta$ A/D 转换器广泛应用于语音编码、数字音频和综合业务数字网等领域^[3].

$\Sigma-\Delta$ A/D 转换器的核心模块是 $\Sigma-\Delta$ 调制器. 基本的 $\Sigma-\Delta$ 调制器由积分器和量化器两部分组成, 积分器对输入信号与量化器反馈回来的信号之间的差值(Δ)进行积分(Σ). 由反馈理论可知, 输入信号与量化器输出信号间的偏差保持在零附近, 这表明量化器输出位流的局部平均值等于输入信号的

收稿日期: 2009-04-07; 修回日期: 2009-07-05

基金项目: 科技部科技型中小企业技术创新基金(07C26223201317); 教育部新世纪优秀人才支持计划(NCET-06-0484); 江苏省自然科学基金(BK2007026)

局部平均值.

围绕一个具体的 USB VoIP 芯片项目,文中对一个三阶 2-1 级联 $\Sigma-\Delta$ 调制器的第一阶积分器进行了设计.根据 $\Sigma-\Delta$ 调制器的行为级仿真,要求运放的开环直流增益大于 70dB,单位增益带宽大于 80MHz,压摆率在 50V/ μ s 以上.

2 开关电容积分器的非理想特性

2.1 时钟馈通

制造 MOS 管的过程中,漏结和源结的横向扩散会在栅源之间和栅漏之间形成交叠电容 C_{gs} 和 C_{gd} ,如图 1 所示.

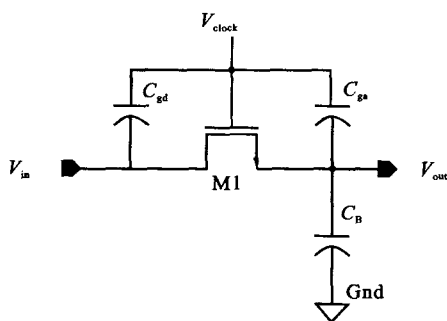


图 1 时钟馈通效应

当 MOS 开关管的时钟发生跳变时,交叠电容会将它们耦合到采样电容上,从而在采样输出电压中引入误差,其大小为:

$$\Delta V = (V_{ch} - V_{cl}) \frac{WC_{OV}}{WC_{OV} + C_s} \quad (1)$$

式中, C_{OV} 为单位宽度的交叠电容, C_s 为采样电容, V_{ch} 和 V_{cl} 分别为时钟的高、低电平.对于时钟馈通效应,可增加一个虚拟开关或利用延迟时钟来加以抑制.

2.2 噪声

开关电容积分器中的噪声主要有热噪声和闪烁噪声两种^[4].具有白色功率谱的热噪声由载流子的随机运动产生.在采样阶段,采样电容 C_s 与 MOS 开关串连,开关周期性的动作将电阻上的热噪声电压也采样至积分器中,总噪声功率为:

$$e_T^2 = \int_0^\infty \frac{4kTR_{on}}{1 + (2\pi fR_{on}C_s)^2} df = \frac{kT}{C_s} \quad (2)$$

式中, R_{on} 为开关导通电阻, k 、 T 分别为玻尔兹曼常数和绝对温度.可见,适当增加 C_s 可减小采样开关热噪声.

闪烁噪声(即 $1/f$ 噪声)的产生是由于在 MOS 管的栅氧化层和硅衬底界面处的许多悬挂键产生了

额外的能态,当载流子运动到该界面时部分被随机俘获,随后又被这些能态释放,导致漏电流产生不规则的跳动.通常可用一个串联于 MOS 管栅极的电压源来表示闪烁噪声,其大小可表示为:

$$\overline{V}_{flicker}^2 = \frac{K}{C_{OX}WL} \cdot \frac{1}{f} \quad (3)$$

其中, C_{OX} 为单位面积的栅氧化层电容, W 、 L 分别为 MOS 管的沟道宽度和长度,常数 K 与工艺有关.使用 PMOS 管、用双极型晶体管代替 MOS 管,或者采用斩波稳定、相关双采样和自调零等电路技术^[5],都可降低 $1/f$ 噪声.文中主要讨论采用斩波稳定电路来减小运放的 $1/f$ 噪声.

2.3 运放的有限直流增益

当运放的直流增益为有限值 A_v 时,积分器的传递函数为:

$$H(z) = \frac{V_{out}(z)}{V_{in}(z)} = \frac{C_s}{C_l} \frac{r_2 z^{-1}}{1 - r_1 z^{-1}} \quad (4)$$

式中, $r_1 = \frac{1 + A_v}{1 + A_v + \frac{C_s}{C_l}}$, $r_2 = \frac{A_v}{1 + A_v + \frac{C_s}{C_l}}$, C_l 为

积分电容, C_s 为采样电容.因此极点误差为 $(1 - r_1)$,增益误差为 $(1 - r_2)$,两者都会引起 $\Sigma-\Delta$ 调制器的量化噪声泄露到输出端,从而降低调制器的信噪比.

2.4 运放的有限带宽和有限转换速率

开关电容积分器输出电压的建立过程分为两种:线性建立和非线性建立.线性建立时间主要由运放的单位增益带宽决定,而非线性建立时间主要由运放的转换速率决定,两者之和应小于半个采样时钟周期,否则会造成电压建立不完全,引起积分器的泄漏和谐波失真.

3 斩波稳定的原理

斩波稳定是一种减小线性运算放大器的直流失调噪声和低频噪声(主要是 $1/f$ 噪声)的电路技术^[5],其原理可用图 2 来说明.图中 V_{in} 为输入信号, V_{out} 为电路输出, V_n 表示运放的失调噪声和 $1/f$ 噪声之和,相应的频谱分别用 $V_{in}(\omega)$ 、 $V_{out}(\omega)$ 和 $V_n(\omega)$ 表示.由图 2 可知:

$$V_{out} = P(PV_{in} + V_n)A = AV_{in} + PAV_n \quad (5)$$

因此输入信号 V_{in} 如同只使用运算放大器一样被放大了 A 倍,而 V_n 则还乘了斩波信号 P .设 P 的周期为 T_P ,占空比为 50%,其傅立叶展开式为:

$$P = \frac{4}{\pi} (\sin \omega_c t + \frac{1}{3} \sin 3\omega_c t + \frac{1}{5} \sin 5\omega_c t + \cdots) \quad (6)$$

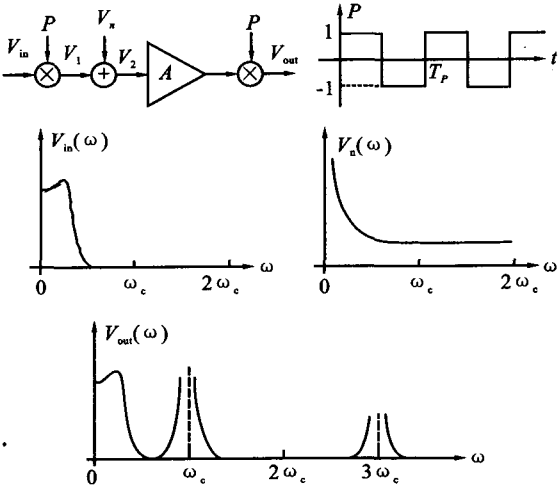


图 2 斩波稳定的原理

式中, $\omega_c = 2\pi/T_P$ 为调制信号的频率. 记 V_n 的功率谱密度为 $S_n(\omega)$, 那么 PV_n 的功率谱密度变为:

$$S_{PV_n}(\omega) = \frac{4}{\pi^2} \sum_{k=-\infty}^{\infty} \frac{1}{(2k+1)^2} S_n(\omega - (2k+1)\frac{2\pi}{T_P}) \tag{7}$$

因此, $S_n(\omega)$ 被推向调制信号 P 的奇次谐波处, 从而减小了信号带内的失调噪声和 $1/f$ 噪声. 对于被调制到信号频带以外的噪声, 可用一个低通滤波器去除.

4 开关电容积分器的电路设计

文中设计的带斩波稳定的开关电容积分器的整体电路如图 3 所示. 为了降低电荷注入效应, 电路中采用了 CMOS 开关, 具体尺寸列于表 1. 根据开关热噪声指标, 计算出采样电容 C_s 的取值为 0.4pF , 积分电容 C_I 的取值为 2.3pF .

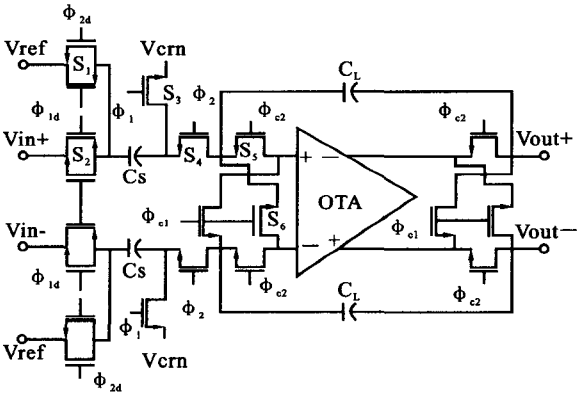


图 3 带斩波稳定的全差分开关电容积分器

积分器中的运算放大器采用全差分套筒式共源共栅结构, 电路如图 4 所示, MOS 管的尺寸列于表

2. 图 5 给出了稳定运放输出共模电压的开关电容共模反馈电路^[6].

表 1 积分器中的开关尺寸

开关	类型	W/L (μm)
S1	CMOS	6/0.35(N), 18/0.35(P)
S2	CMOS	6/0.35(N), 18/0.35(P)
S3, S4	NMOS	10/0.35
S5	NMOS	15/0.35
S6	NMOS	15/0.35

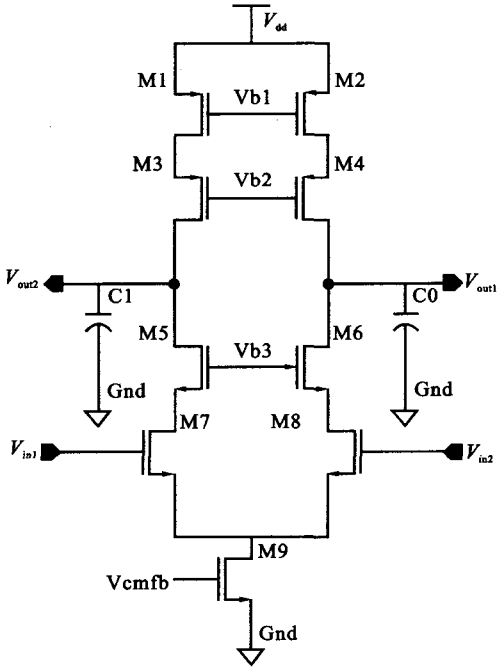


图 4 套筒式共源共栅运算放大器

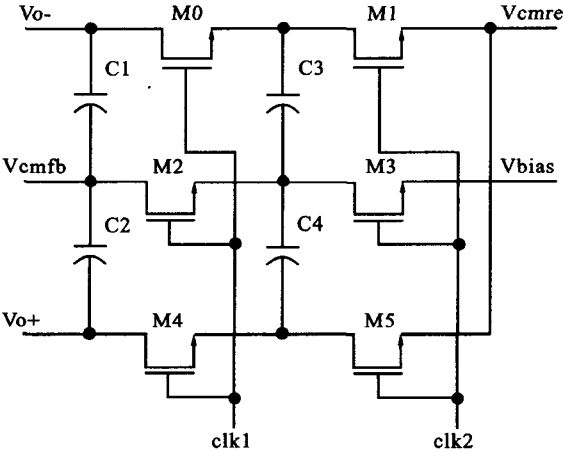


图 5 开关电容共模反馈电路

表 2 运算放大器的 MOS 管尺寸

MOS 管	类型	W/L (μm)
M1,M2	PMOS	8/0.35
M3,M4	PMOS	7/0.35
M5,M6	NMOS	7/0.35
M7,M8	NMOS	12/0.35
M9	NMOS	3/0.35

5 电路仿真

采用 SMIC 0.35 μm CMOS 工艺,在 Cadence Spectre 模拟器上对开关电容积分器和运算放大器进行仿真,时钟频率为 5.12MHz,斩波频率为 2.56MHz.运算放大器的频率特性曲线如图 6 所示.仿真结果表明:开关电容积分器在 14kHz 处的等效输入噪声电压为 0.2 $\mu\text{V}/\sqrt{\text{Hz}}$,运算放大器的开环直流增益为 76dB,单位增益带宽为 110MHz,压摆率为 130V/ μs .

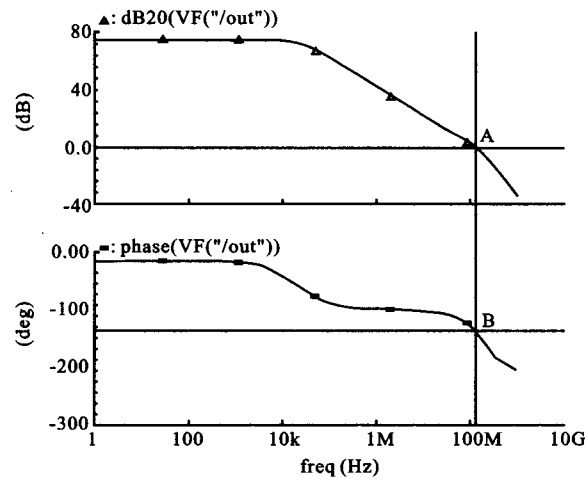


图 6 运算放大器的频率特性

6 结束语

基于 $\Sigma-\Delta$ 调制器行为级仿真所提取的电路参

数,实现了调制器中第一阶积分器的设计.在详细分析了斩波稳定的原理以及开关电容积分器中存在的多种非理想特性对 $\Sigma-\Delta$ 调制器性能的影响的基础上,在积分器中使用了斩波稳定电路来减小运算放大器的 $1/f$ 噪声. Cadence Spectre 仿真验证表明,设计的斩波稳定开关电容积分器能有效降低低频噪声.同时,运算放大器的开环直流增益、单位增益带宽和压摆率等关键参数也都达到设计要求.

参考文献:

[1] Geerts Y, Steyaert M S J, Sansen W. A high - performance multibit $\Sigma\Delta$ CMOS ADC[J]. IEEE Journal of Solid - state Circuits, 2000(35):1829 - 1840.

[2] Yin G, Sansen W. A high - frequency and high - resolution fourth - order $\Sigma\Delta$ A/D converter in BiCMOS technology[J]. IEEE Journal of Solid - state Circuits, 1994(29): 857 - 865.

[3] Schreier R, Temes G C. Understanding delta - sigma data converters[M]. New York: IEEE Press, 2005:3 - 5.

[4] 郭先清,林凡,吴孙桃. 三阶级联 Sigma - Delta 调制器设计[J]. 微电子学与计算机,2007, 24(1): 66 - 72.

[5] Christian E, Temes G. Circuit techniques for reducing the effects of Op - Amp imperfections: autozeroing, correlated double sampling, and chopper stabilization [J]. IEEE, 1996, 84(11):1584 - 1614.

[6] 柳逊,阎娜,吴晓铁,等. 一种高性能运算放大器的设计[J]. 微电子学与计算机,2005, 22(6):28 - 30.

作者简介:

李杨先 男,(1979 -),硕士研究生.研究方向为集成电路设计.

顾晓峰 男,(1971 -),博士,教授.研究方向为半导体器件、集成电路设计.